

數位系統實驗 2

MaxPlusII 基本操作與組合邏輯電路設計

設計一個簡單的反相器電路

下圖為 inverter（反相器）的晶片上視簡圖，其下則為其對應的 VHDL 程式寫法（檔名為 inver_vhdl.vhd）：

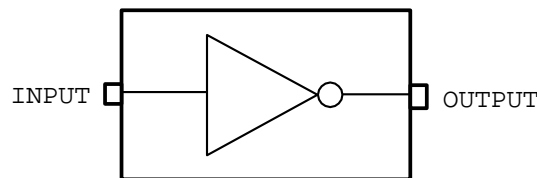


圖 1 反相器電路圖

```
--inverter gate
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity inver_vhdl is
port (    input : in STD_LOGIC;
        output: out STD_LOGIC);
end inver_vhdl;

architecture a of inver_vhdl is
begin
    output <= not input;
end a;
```

本行是程式的註釋說明

Use宣告區&標準定義宣告

單體宣告區：
input宣告為Std_logic型態的輸入位元；
output宣告為Std logic型態的

架構宣告區：
描述inver_vhdl電路的動作是將input信號經過反相後傳遞到output信號。

上面的 VHDL 程式在 Altera Max+PlusII 中編譯的程式的作法與電路輸入設計法或波形輸入設計法幾乎完全相同，唯一有差異的一點是 VHDL 程式的副檔名是*.vhd，整個編譯的過程我們重述如下。

1. 【File】 / 【New】 / 【Text Editor file】

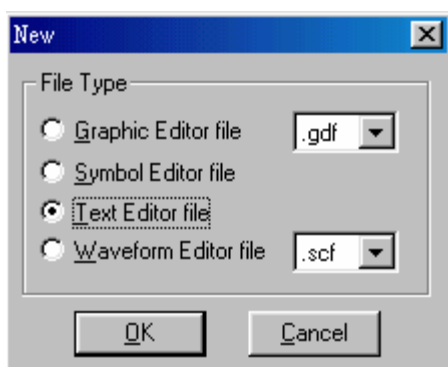


圖 2 開新檔案（選擇文字模式）

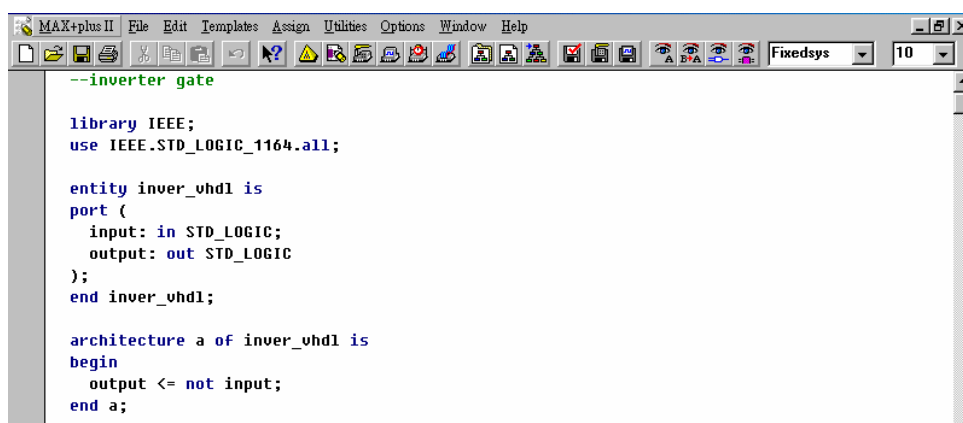


圖 3 輸入程式內容

1. 【File】 / 【Save as】 ..，在 Automatic Extension 處選擇【.vhd】，並在對話視窗上方輸入檔名（其副檔名預設為.tdf，故此處請特別注意你的選擇是否正確），檔名可由文字、數字和下標線構成。

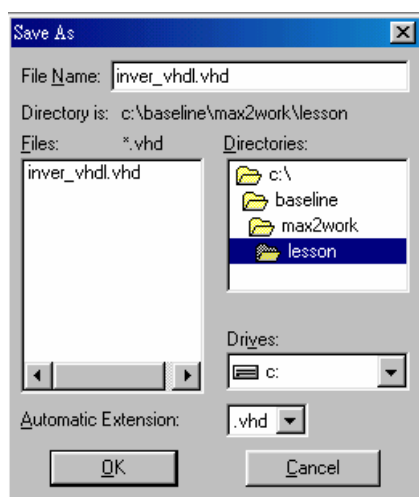


圖 4 儲存檔名

- 關於 VHDL 的命名法則可整理如下：
 - (1)第一個字元必須是英文字母。
 - (2)最後一個位元不能是底線。

(3)不能有兩個底線連續出現。

2. 【File】/【Project】/【Set Project to Current File】

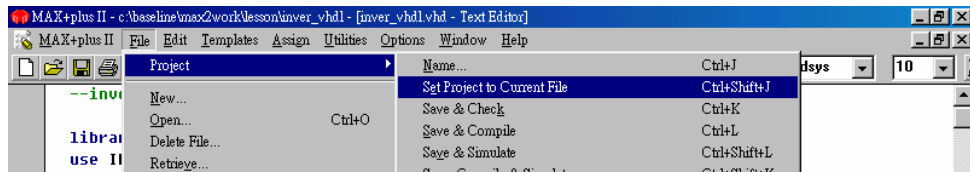


圖 5 設定專案名稱（需與檔名相同）

3. 【File】/【Project】/【Save & Check】，並選擇【Functional SNF Extractor】進行簡單功能模擬。

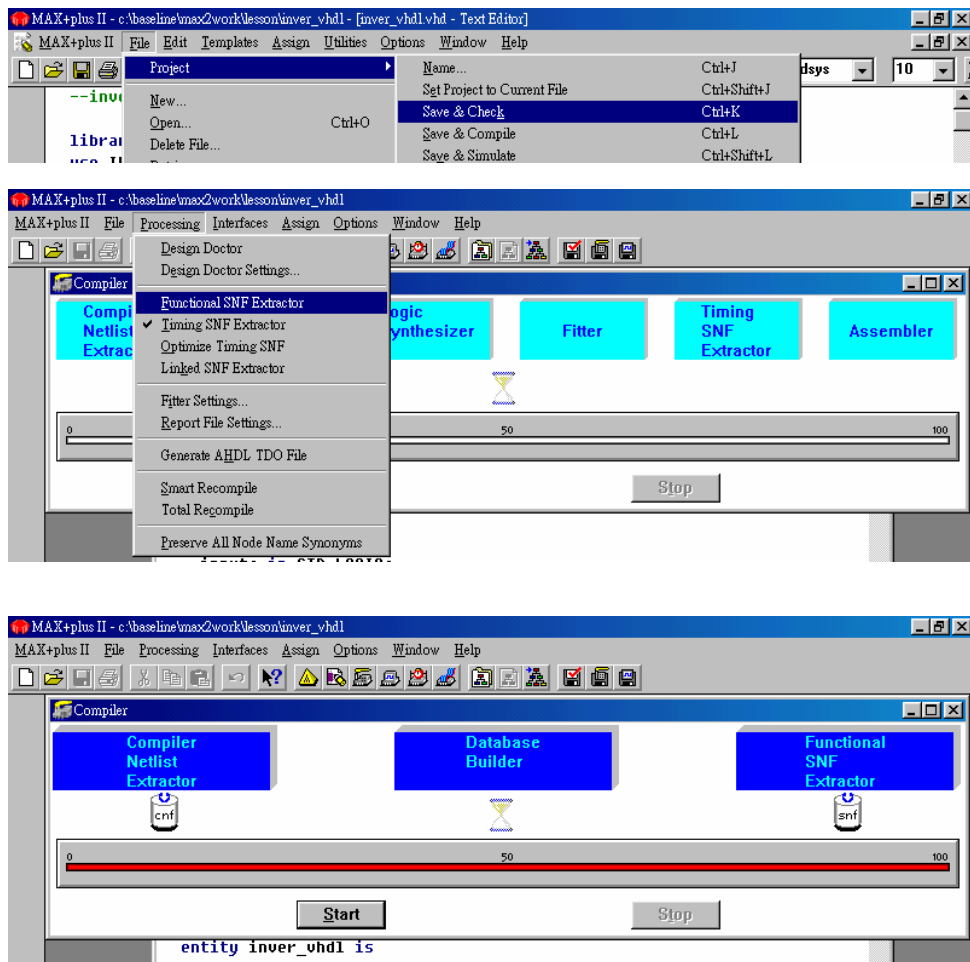


圖 6 功能模擬

4. 進行輸出波形的功能模擬【File】/【New】/【Waveform Editor file】，選擇.scf格式。

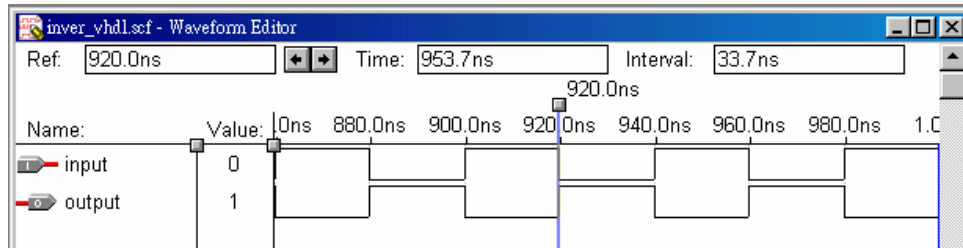


圖 7 時序波形模擬

練習 1. 設計一個 NOR 開電路

architecture a of nor_vhdl is

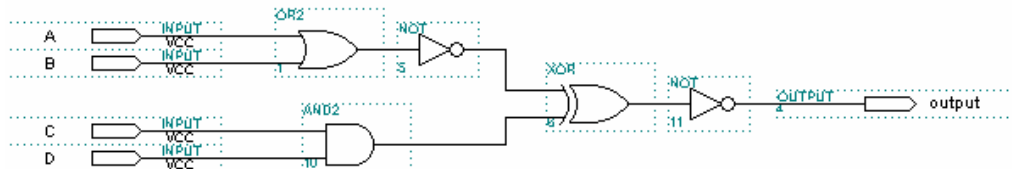
begin

C <= not (A or B);

end a;

請模擬時序圖。

練習 2. 設計以下組合邏輯電路



宣告 4 個 input

A,B,C,D: in STD_LOGIC;

和 3 個 output

E,F,G: out STD_LOGIC

模擬時序圖應如下：

