

MIAT. LAB. Cyclone EP1C12Q240C8 FPGA 實驗版

User Guide



2004/11/11 Ver. 1.00

此板主要是針對 ALTERA Cyclone 系列中 PQFP 240 PIN 包裝之 FPGA 設計的，除了電源部分已處理完成，所有的 I/O 接腳也接至連接器以方便使用者接線或測試。主要是 Cyclone Device 與其所需的 ISP (in-system programmability) 電路所構成，這是由於 Cyclone 系列以 SRAM 製程製作的，並且可由多種方式來完成燒錄的動作，可提供使用者最大的彈性，故以此方式設計。

下面是本研發測試板的主要功能及使用說明：

- A. 適用 Cyclone 系列中 PQFP 240 PIN 包裝的 IC，單片板最高可支援到 12,060 個 Logic Elements 與 234K 個 RAM bits。此外尚有 2 組 PLL 與 173 I/O Pins。
- B. EPCS4 元件與 Cyclone 元件同置於電路板上，EPCS4 為非揮發性記憶體，可以做 ISP。並提供 JTAG 接頭，可對 EPCS4 元件做 programming。
- C. 提供 10 PIN 接頭，使用者可由 ALTERA 的 ByteBlasterII (Download Cable) 直接對 Cyclone Device 做 ISP。

適用元件

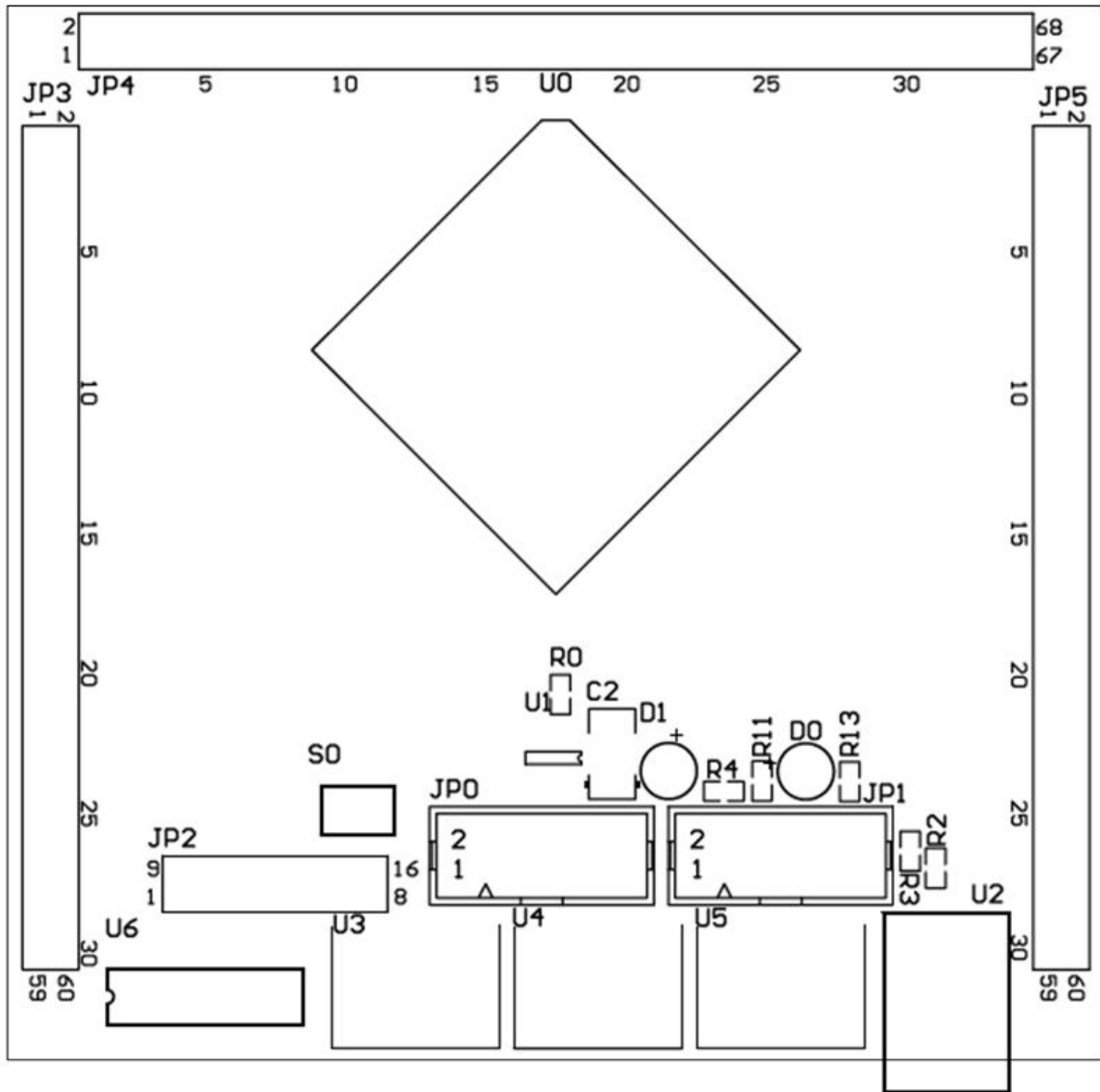
本電路板適用於 ALTERA 之 Cyclone 系列中 PQFP 240 PIN 的 Device。

Cyclone EP1C12 Device Overview	
Feature	EP1C12
LE	12,060
M4K RAM blocks (128 × 36 bits)	52
Total RAM bits	239,616
PLL	2
Maximum user I/O pins (1)	173

註：

Cyclone 系列的 Vccint 必需輸入 1.5 Volt，而 Vccio 可輸入 1.5 Volt，1.8Volt，2.5Volt 或 3.3Volt 但本實驗版 Vccio 僅提供 3.3 Volt.

電路板配置



JP3, JP4, JP5 : I/O pins

JP2 : CLK jumpers

S0 : Reset button

JP0 : JTAG for configuring EPCS4 device

JP1 : JTAG for configuring Cyclone device

U0 : Cyclone *EP1C12* device

U1 : EPCS4 device

U2 : 9 volt. Input

U3, U4, U5 : Power regulator

電源輸入

I/O 特性

當 $V_{ccio} = 3.3$ Volt 時：

$V_{IH} = 1.7 \sim 4.1$ Volt

$V_{IL} = -0.5 \sim 0.7$ Volt

$V_{OH} = 2.4$ Volt / $-4 \sim -24$ mA (LVTTTL)

$V_{ccio} - 0.2$ Volt / -0.1 mA (LVCMOS)

$V_{OL} = 0.45$ Volt / $4 \sim 24$ mA (LVTTTL)

0.2 Volt / 0.1 mA (LVCMOS)

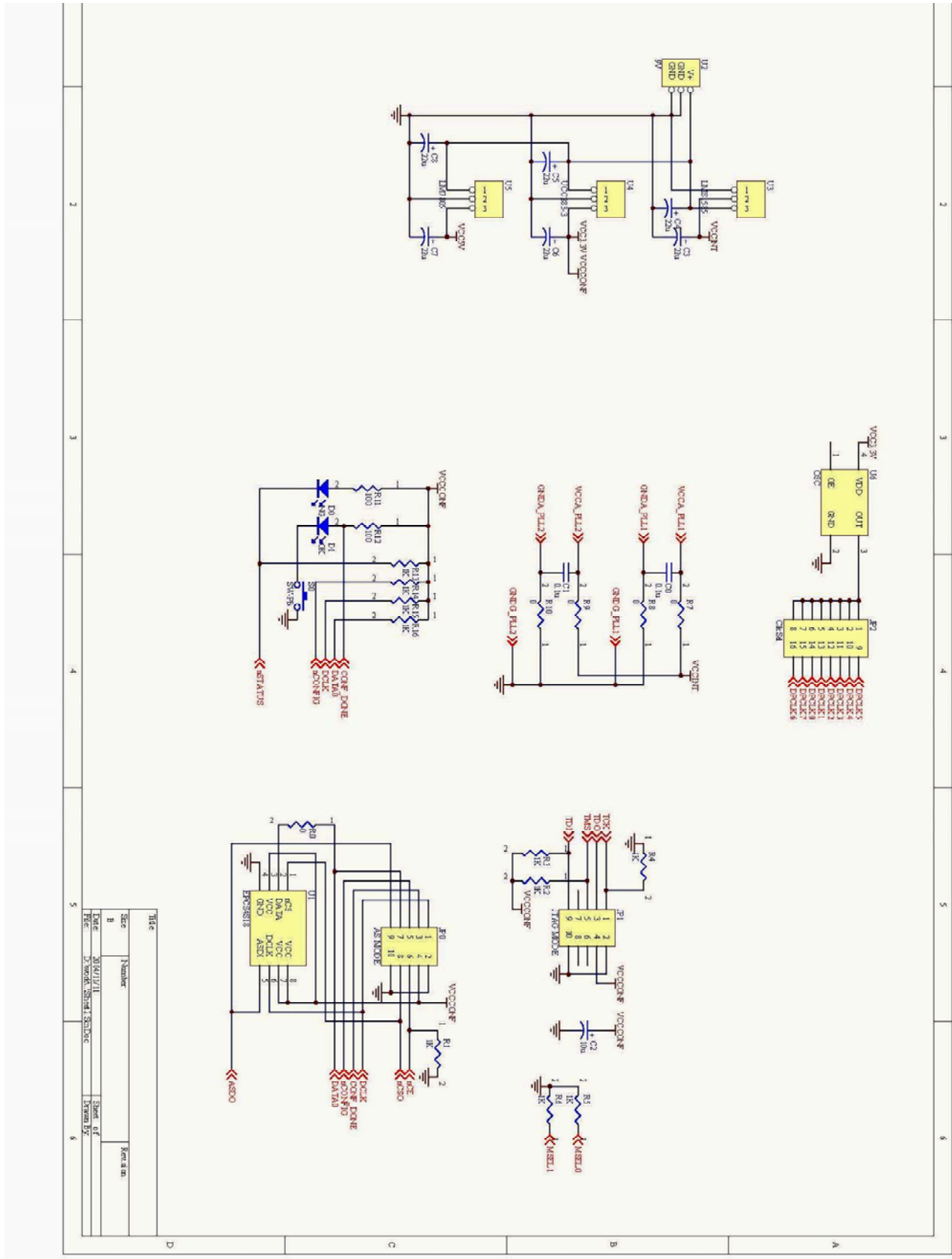
時脈信號設定

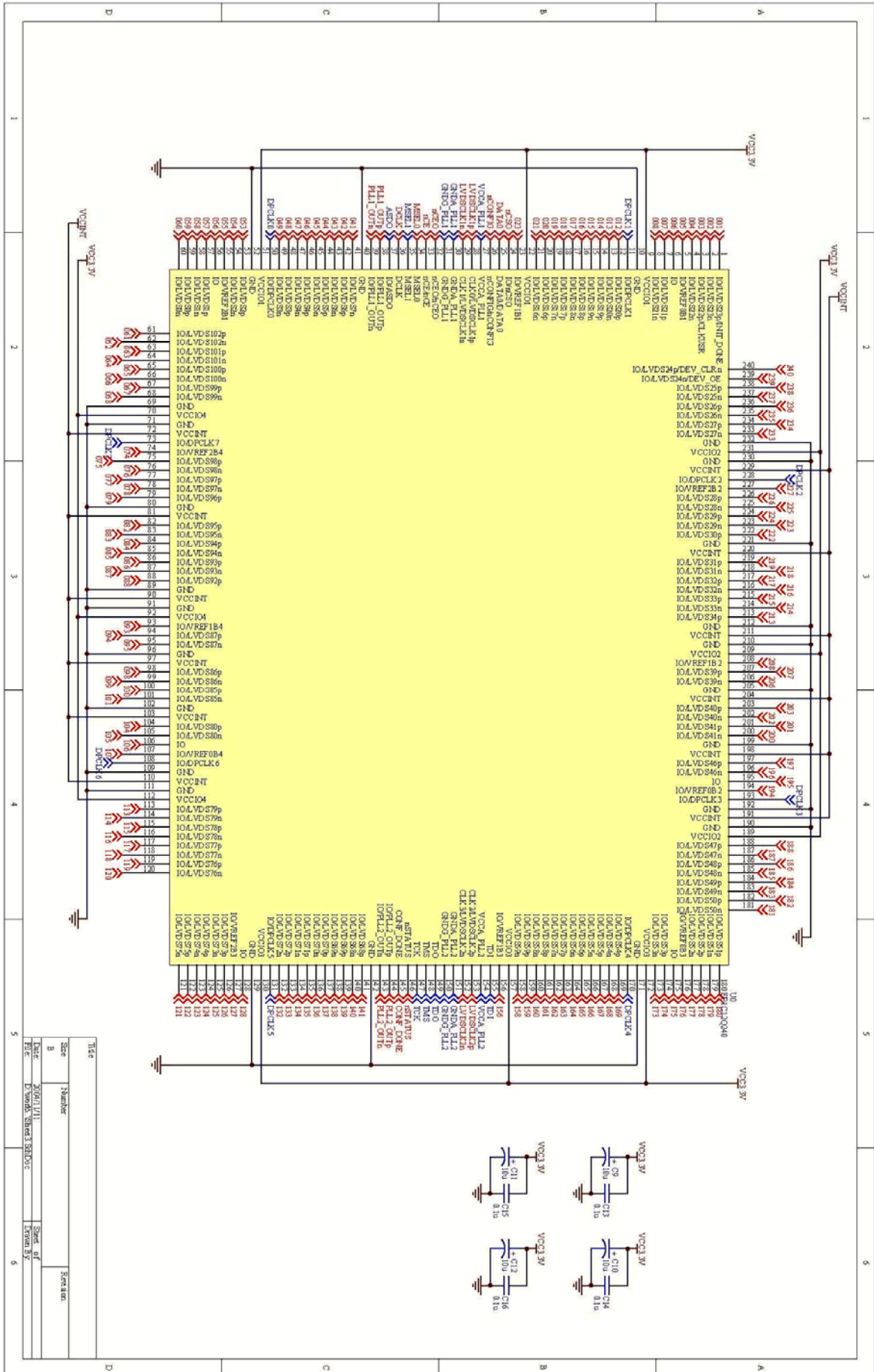
Configuration

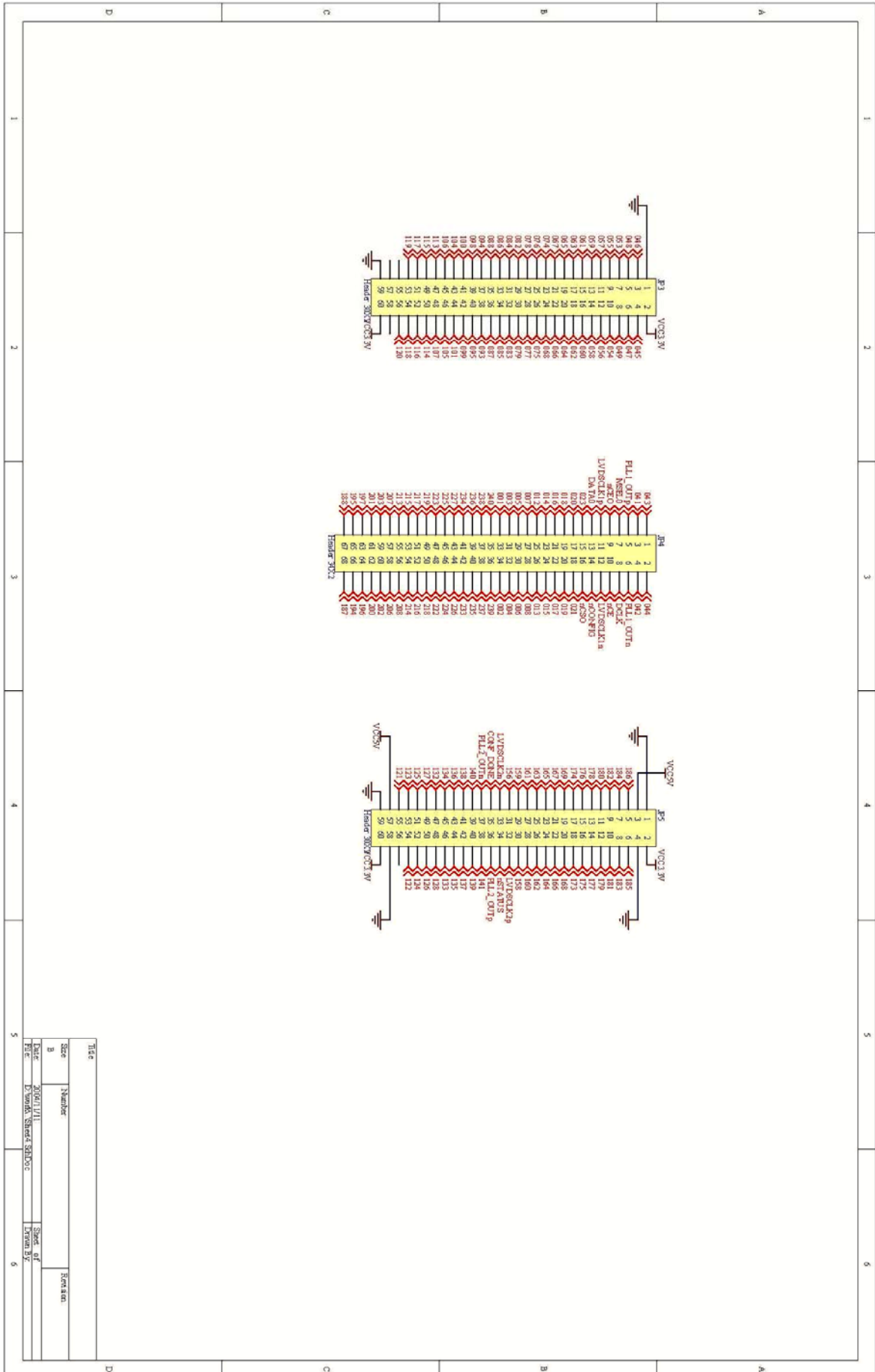
本電路板提供兩種Configure方式：

- 1.使用 ByteBlasterII 以JTAG mode 對Cyclone直接進行Configuration
- 2.使用 ByteBlasterII 以 AS mode 對 EPCS4 進行 Programming, Reset 後再由 EPCS4 自動對 Cyclone 進行 Configuration

信號接腳圖及線路圖







Title		Revision	
Issue	Number	Date	
B		2004/1/11	
Date		Drawn	
File		Sheet of	
D:\work\Sheet\BASIC		1 of 5	